

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-065944

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

G06F 12/16
G06F 11/10
G11C 29/00

(21)Application number : 09-218431

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.08.1997

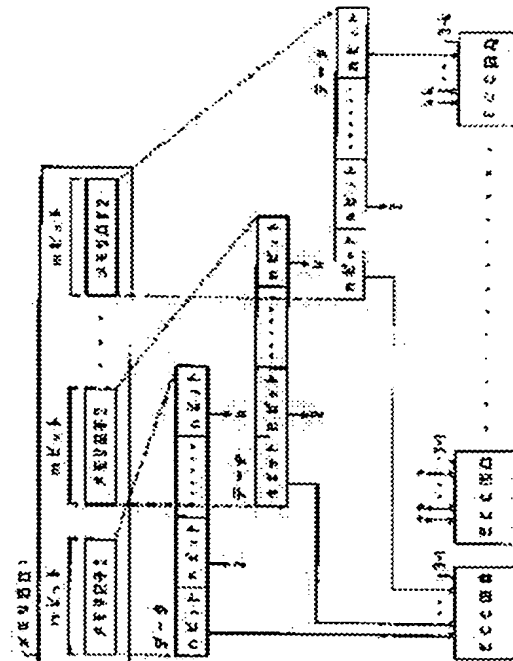
(72)Inventor : SAKAKURA MAMORU
NONOMURA KAZUYASU
WATABE TORU
SHIMAMURA TAKAYUKI

(54) DATA ERROR DETECTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To detect the occurrence of a fault at a memory cell while using an ECC circuit, which is to be used when the number of output bits from the memory cell is a little, when increasing the number of output bits from the memory cell at a data error detector having a function for detecting the error of data outputted from a memory device.

SOLUTION: This device is connected to the memory device provided with the plural memory cells, which define a natural number (m) specified by the value of $n \times k$ [(n) and (k) are natural numbers] as a number of output bits, and has the function for detecting the error of data outputted from that memory device. In this case, (k) pieces of ECC circuits having functions for detecting the burst error of (n) bits are provided, the data of (m) bits outputted from the respective memory cells are divided to (k) pieces, and they are inputted to (k) pieces of separately prepared ECC circuits.



LEGAL STATUS

[Date of request for examination]

21.09.2000

[Date of sending the examiner's decision of rejection]

15.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65944

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁸
G 0 6 F 12/16 3 2 0
11/10 3 3 0
G 1 1 C 29/00 6 3 1

F I
G 0 6 F 12/16 3 2 0 L
11/10 3 3 0 K
G 1 1 C 29/00 6 3 1 D

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平9-218431

(22) 出願日 平成9年(1997) 8月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 坂倉 守

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 野々村 一泰

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 岡田 光由 (外1名)

最終頁に続く

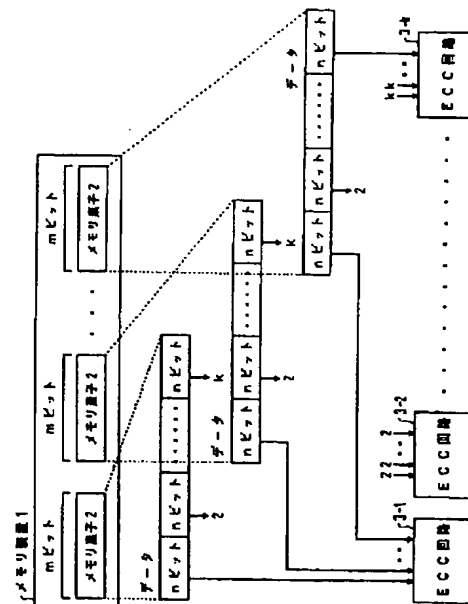
(54) 【発明の名称】 データ誤り検出装置

(57) 【要約】

【課題】本発明は、メモリ装置から出力されるデータの誤りを検出する機能を持つデータ誤り検出装置に関し、メモリ素子の出力ビット数が増加するときに、メモリ素子の出力ビット数が少ないときに使用されるECC回路を使って、メモリ素子の故障発生を検出できるようにすることを目的とする。

【解決手段】 $n \times k$ (n, k は自然数)の値で規定される自然数 m を出力ビット数とするメモリ素子を複数備えるメモリ装置に接続されて、そのメモリ装置から出力されるデータの誤りを検出する機能を持つデータ誤り検出装置であって、 n ビットのバーストエラーの検出機能を持つECC回路を、 k 個備える構成を採り、かつ、各メモリ素子から出力される m ビットのデータを k 個に分割して、それらを、 k 個用意される別々のECC回路に入力するように構成する。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 $n \times k$ (n, k は自然数)の値で規定される自然数 m を出力ビット数とするメモリ素子を複数備えるメモリ装置に接続されて、該メモリ装置から出力されるデータの誤りを検出する機能を持つデータ誤り検出装置であって、

n ビットのバーストエラーの検出機能を持つECC回路を、 k 個備える構成を採り、

かつ、各メモリ素子から出力される m ビットのデータを k 個に分割して、それらを、 k 個用意される別々の上記ECC回路に入力する構成を採ることを、

特徴とするデータ誤り検出装置。

【請求項2】 $n \times k$ (n, k は自然数)の値で規定される自然数 m を出力ビット数とするメモリ素子を複数備えるメモリ装置に接続されて、該メモリ装置から出力されるデータの誤りを検出する機能を持つデータ誤り検出装置であって、

n ビットのバーストエラーの検出機能を持つ k 個のECC回路と、

各メモリ素子から出力される m ビットのデータを k 個に分割して、それらを、 k 個用意される別々の上記ECC回路に入力する第1の伝送手段と、

上記ECC回路に対応付けて備えられて、対となる上記ECC回路に入力されるデータのECCビットを生成して、対となる上記ECC回路に入力するECCビット生成回路と、

上記ECCビット生成回路の生成するECCビットの比較対象となるECCビットを、メモリ装置から上記ECC回路に入力する第2の伝送手段とを備えることを、

特徴とするデータ誤り検出装置。

【請求項3】 請求項1又は2記載のデータ誤り検出装置において、

ECC回路の全てがエラーを検出するの可否かを判断することで、メモリ素子の異常の可能性を検出する検出手段を備えることを、

特徴とするデータ誤り検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ装置から出力されるデータの誤りを検出する機能を持つデータ誤り検出装置に関し、特に、メモリ装置を構成するメモリ素子の出力ビット数が増加するときに、メモリ素子の出力ビット数が少ないときに使用されるECC回路を使って、メモリ素子の故障発生を検出できるようにするデータ誤り検出装置に関する。

【0002】

【従来の技術】メモリデータの誤りを検出し訂正する機能を持つECC回路が広く用いられている。

【0003】このECC回路は、メモリにデータを書き込むときに、誤りの検出訂正用に用いるECCビットを

生成してメモリに書き込む構成を採って、メモリからデータを読み出すときに、ECCビットも読み出すとともに、その読み出したデータからECCビットを生成して、その生成したECCビットと、その読み出したECCビットとを比較することで、その読み出したデータの誤りを検出し訂正する処理を行うものである。

【0004】このECC回路に、連続するビットのエラー発生を検出するというバーストエラーの検出機能を持つものがある。このバーストエラーの検出機能を持つことで、メモリ素子の故障が検出できるようになる。すなわち、4ビットのバーストエラーの検出機能を持つことで、4ビット出力のメモリ素子が用いられるときに、その故障を検出できることになる。

【0005】従来では、このようなバーストエラーの検出機能は、使用するメモリ素子の出力ビット数に合わせた形でECC回路に実装する構成を採っていた。

【0006】

【発明が解決しようとする課題】しかしながら、このような従来技術に従っていると、使用するメモリ素子の出力ビット数が増加すると、それまで使用していたバーストエラーの検出機能を持つECC回路が使用できなくなるという問題点があった。

【0007】すなわち、集積度の向上に伴って、4ビット出力のメモリ素子に代えて、8ビット出力のメモリ素子を用いるようになるときに、それまで使用した4ビットのバーストエラーの検出機能を持つECC回路では8ビットのバーストエラーを検出できないことから、新たに8ビットのバーストエラーの検出機能を持つECC回路を作らなくてはならないという問題点があった。

【0008】本発明はかかる事情に鑑みてなされたものであって、メモリ装置から出力されるデータの誤りを検出対象とするときにあって、メモリ装置を構成するメモリ素子の出力ビット数が増加するときに、メモリ素子の出力ビット数が少ないときに使用されるECC回路を使って、メモリ素子の故障発生を検出できるようにする新たなデータ誤り検出装置の提供を目的とする。

【0009】

【課題を解決するための手段】図1に本発明の原理構成を図示する。図中、1はメモリ装置、2は $n \times k$ (n, k は自然数)の値で規定される自然数 m を出力ビット数とするメモリ素子、3-i ($i = 1 \sim k$)は k 個備えられる n ビットのバーストエラーの検出機能を持つECC回路である。

【0010】この図に示すように、本発明では、各メモリ素子2から出力される m ビットのデータを k 個に分割して、それらを、 k 個用意される別々のECC回路3-iに入力する構成を採っている。

【0011】この構成に従い、本発明では、 m ビット出力のメモリ素子2に異常が発生すると、第1番目のECC回路3-1が n ビットのバーストエラーを検出し、第2

番目のECC回路3-2がnビットのバーストエラーを検出し、以下、同様にして、第k番目のECC回路3-kまでnビットのバーストエラーを検出することになり、これにより、mビットのバーストエラーを検出できるようになる。

【0012】このようにして、本発明によれば、nビットのバーストエラーの検出機能を持つECC回路3-iを用いて、nビットよりも大きなビット数を示すmビット出力のメモリ素子2の異常を検出できるようになる。

【0013】

【発明の実施の形態】以下、実施の形態に従って本発明を詳細に説明する。図2に、本発明の一実施例を図示する。

【0014】図中、1はメモリ装置であって、8ビット出力を持つ16個のメモリ装置2-i(i=1~16)と、8ビット出力を持つメモリ素子2a、2bとを備えるもの、10はデータ誤り検出訂正装置であって、メモリ装置1から読み出されるデータの誤りを検出し訂正するもの、11はバスであって、メモリ装置1から読み出されるデータをデータ誤り検出訂正装置10に伝送するもの、12はCPUから構成されるデータ処理装置であって、メモリ装置1から読み出されるデータを使ってデータ処理を実行するものである。

【0015】各メモリ素子2-iは、8ビットのデータを格納することで、メモリ装置1が16バイト(8ビット×16個)のデータを格納することを実現する。一方、メモリ素子2aは、メモリ素子2-iの格納データの上位4ビットのデータ(64ビットを持つ)から生成される8ビットのECCビットを格納し、メモリ素子2bは、メモリ素子2-iの格納データの低位4ビットのデータ(64ビットを持つ)から生成される8ビットのECCビットを格納する。これらのECCビットは、メモリ装置1に16バイトのデータが格納されるときに、図示しないECCビット生成回路が生成することになる。

【0016】データ誤り検出訂正装置10は、ECCビット生成回路4-aと、上位ビット用ECC回路3-aと、ECCビット生成回路4-bと、下位ビット用ECC回路3-bとを備える。

【0017】このECCビット生成回路4-aは、図3(a)に示すように、メモリ素子2-iから読み出されるデータの上位4ビットのデータ(64ビットを持つ)を入力として、その入力データのECCビットを生成する。

【0018】上位ビット用ECC回路3-aは、1ビットエラーの訂正機能と、2ビットエラーの検出機能と、4ビットバーストエラーの検出機能とを持つものであり、図4(a)に示すように、ECCビット生成回路4-aの生成するECCビットと、メモリ素子2aから読み出されるECCビットと、メモリ素子2-iから読み出されるデータの上位4ビットのデータ(64ビットを持つ)と

を入力として、その入力する上位4ビットのデータの誤りを検出し訂正する。

【0019】ここで、図中に示すCEは、訂正可能なエラーであるのか否かを表示する出力ビットであり、1ビットエラーのときに“1”、その他のときに“0”を示す。また、UEは訂正不可能なエラーであるのか否かを表示する出力ビットであり、2ビットエラーのときと、4ビットバーストエラーのときに“1”、その他のときに“0”を示す。

10 【0020】ECCビット生成回路4-bは、図3(b)に示すように、メモリ素子2-iから読み出されるデータの低位4ビットのデータ(64ビットを持つ)を入力として、その入力データのECCビットを生成する。

【0021】下位ビット用ECC回路3-bは、1ビットエラーの訂正機能と、2ビットエラーの検出機能と、4ビットバーストエラーの検出機能とを持つものであり、図4(b)に示すように、ECCビット生成回路4-bの生成するECCビットと、メモリ素子2bから読み出されるECCビットと、メモリ素子2-iから読み出されるデータの低位4ビットのデータ(64ビットを持つ)とを入力として、その入力する下位4ビットのデータの誤りを検出し訂正する。

【0022】ここで、図中に示すCEは、訂正可能なエラーであるのか否かを表示する出力ビットであり、1ビットエラーのときに“1”、その他のときに“0”を示す。また、UEは訂正不可能なエラーであるのか否かを表示する出力ビットであり、2ビットエラーのときと、4ビットバーストエラーのときに“1”、その他のときに“0”を示す。

30 【0023】図5に、上位ビット用ECC回路3-a/下位ビット用ECC回路3-bの回路構成を図示する。この図に示すように、上位ビット用ECC回路3-a/下位ビット用ECC回路3-bは、データラッチ回路30と、シンドローム発生回路31と、シンドロームデコーダ32と、データ訂正出力回路33と、バーストエラー検出回路34と、エラー情報出力回路35とを備える。

【0024】このデータラッチ回路30は、メモリ素子2-iから読み出される64ビットのデータ(上位ビットデータ/下位ビットデータ)をラッチする。シンドローム発生回路31は、ECCビット生成回路4-a,bの生成するECCビットと、メモリ素子2a,bから読み出されるECCビットとの排他的論理和(シンドローム)を算出する。シンドロームデコーダ32は、シンドローム発生回路31の算出する排他的論理和をデコードすることで、メモリ素子2-iから読み出される64ビットのデータのどのビットに誤りがあるのかを検出する。

【0025】データ訂正出力回路33は、シンドロームデコーダ32のデコード結果に従って、データラッチ回路30のラッチするデータを訂正して出力(訂正できない誤りであるときには、そのまま出力)する。バースト

エラー検出回路 34 は、メモリ素子 2-i から読み出される 64 ビットのデータに 4 ビットバーストエラー（4 ビット連続して “0” を示すものがあり、かつ、シンドロームにより誤りが検出されるエラー）があるのか否かを検出する。エラー情報出力回路 35 は、シンドロームデコーダ 32 のデコード結果と、バーストエラー検出回路 34 の検出結果に応じて、上述した CE 及び UE のエラー情報を出力する。

【0026】このように、本発明では、各メモリ素子 2-i から出力される 8 ビットのデータを上位 4 ビットと下位 4 ビットの 2 つに分割して、その内の上位 4 ビットについては上位ビット用 ECC 回路 3-a に入力し、その内の下位 4 ビットについては下位ビット用 ECC 回路 3-b に入力する構成を採っている。

【0027】この構成に従って、例えば、メモリ素子 2-i の内の 1 つのメモリ素子 2-j に障害が発生することで、8 ビットのバーストエラーが発生すると、図 6 に示すように、上位ビット用 ECC 回路 3-a に対して、上位 4 ビットのバーストエラーが入力されるとともに、下位ビット用 ECC 回路 3-b に対して、下位 4 ビットのバーストエラーが入力され、これにより、上位ビット用 ECC 回路 3-a 及び下位ビット用 ECC 回路 3-b が共に “1” の値を示す UE を出力する。

【0028】この UE 出力を受けて、データ処理装置 12 は、上位ビット用 ECC 回路 3-a 及び下位ビット用 ECC 回路 3-b が共に “1” の値を示す UE を出力することを検出すると、メモリ素子 2-i に障害が発生した可能性のあることを判断する。

【0029】すなわち、上位ビット用 ECC 回路 3-a 及び下位ビット用 ECC 回路 3-b が共に “1” の値を示す UE を出力するということは、8 ビットバーストエラー

が発生している可能性があるので、メモリ素子 2-i に障害が発生した可能性のあることを判断するのである。

【0030】このようにして、本発明を用いることで、4 ビットのバーストエラーの検出機能を持つ上位ビット用 ECC 回路 3-a と下位ビット用 ECC 回路 3-b とを用いて、8 ビットビット出力のメモリ素子 2-i の異常を検出できるようになる。

【0031】図示実施例に従って本発明を説明したが、本発明はこれに限定されるものではない。例えば、実施例で説明した数値は一例に過ぎない。

【0032】

【発明の効果】以上説明したように、本発明によれば、n ビットのバーストエラーの検出機能を持つ ECC 回路を用いて、n ビットよりも大きなビット数を示す m ビット出力のメモリ素子の異常を検出できるようになる。

【0033】従って、メモリ装置を構成するメモリ素子の出力ビット数が増加するときに、メモリ素子の出力ビット数が少ないときに使用される ECC 回路を使って、メモリ素子の故障発生を検出できるようになる。

【図面の簡単な説明】

【図 1】本発明の原理構成図である。

【図 2】本発明の一実施例である。

【図 3】ECC ビット生成回路の説明図である。

【図 4】ECC 回路の説明図である。

【図 5】ECC 回路の回路構成図である。

【図 6】本発明の説明図である。

【符号の説明】

1 メモリ装置

2 メモリ素子

3 ECC 回路

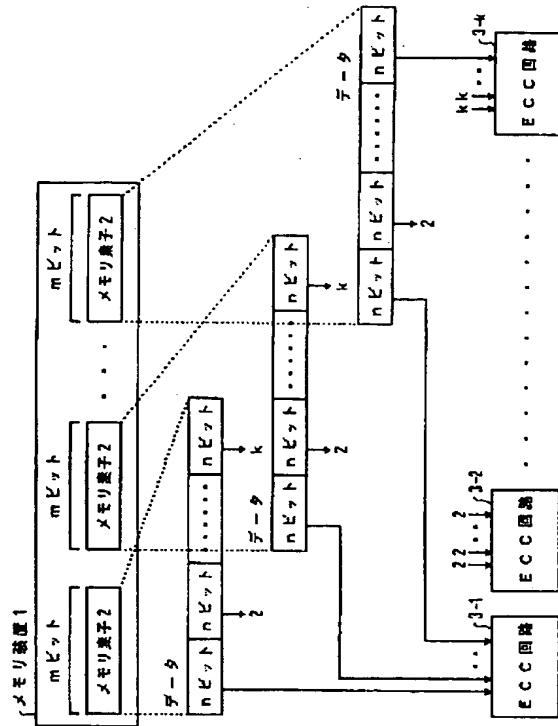
10

20

30

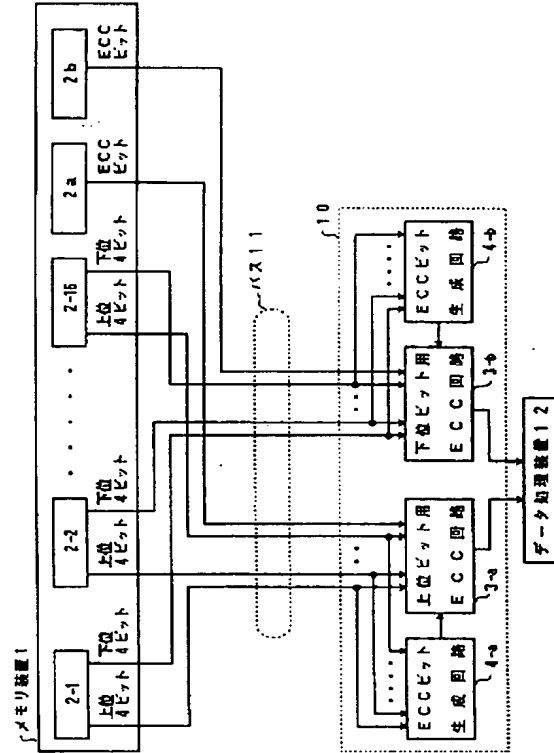
【図1】

本発明の原理構成図



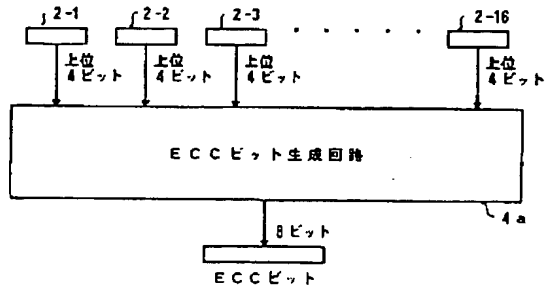
【図2】

本発明の一実施例

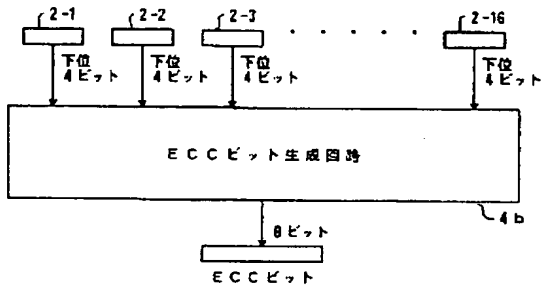


【図3】

ECCビット生成回路の説明図



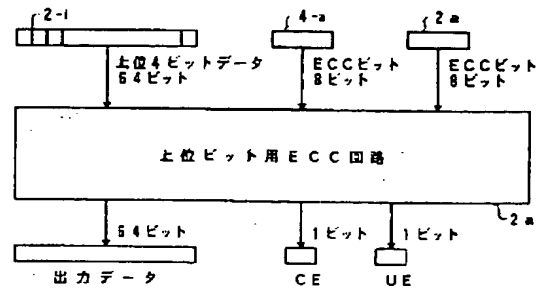
(a)



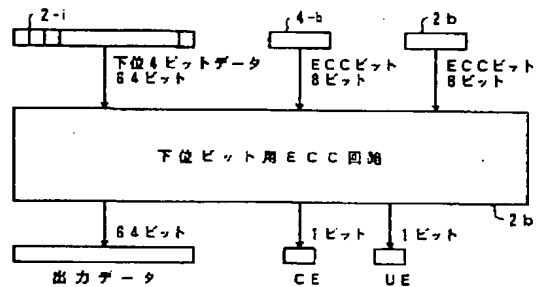
(b)

【図4】

ECC回路の説明図



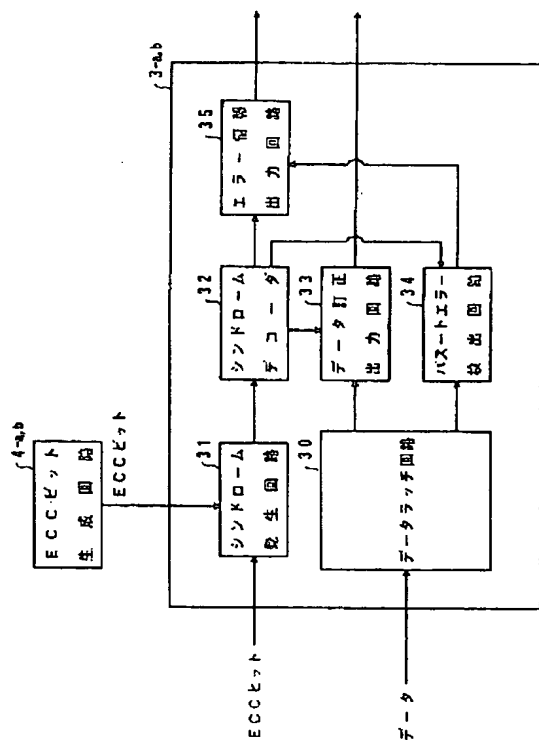
(a)



(b)

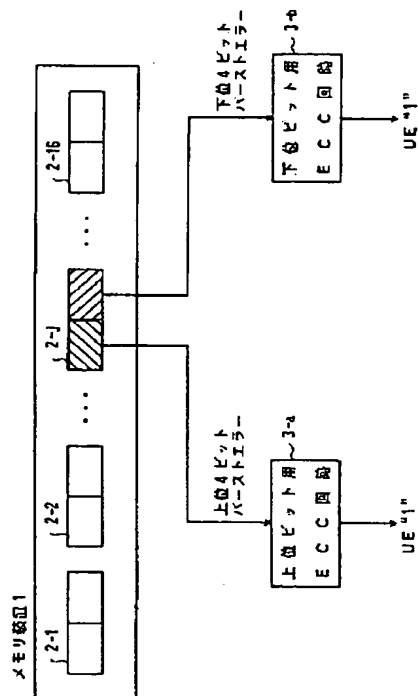
【図5】

ECC回路の回路構成図



【図6】

本発明の説明図



フロントページの続き

(72)発明者 渡部 徹
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

(72)発明者 島村 貴之
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内